

FN1241 + PCM1704 DACモジュール関連資料について

Rev.1.0 17/July/2022

(1)FN1241_PCM1704_dac_md1_logic_01.pdf

DACモジュールの回路図です。図面に社名やLogoが入っていますが基板製作会社がアートワークフィルム、メタルマスク作成システム用に入力しなおしたものですので問い合わせなどはしないで下さい。

R4 180Ωですが実装時に680Ωが実装されていたため、180Ωに交換していますが、基板のスルーホール保護のため元のリード線を残しています。

(2)FN1241データシート(和文)

紙で残っていたものをScanしてpdfにしたものです。

(3)FN1241_data_sheet(English)

英文のデータシートですが簡略化されています。

(4)FN1241_Application_Guide.pdf

新潟精密のHPをハードコピーしたものが残っていたのでScanしてpdfにしたものです。誤植(Rch.をLch.など)は手書きで修正した跡が残っています。また実測ではFN1241からのフルエンシー処理後の出力は、FCLK(Frame Clock)出力が8倍オーバーサンプリングなので周期は1/8fsです。本Application_Guideには1/64fsとありますがこれは誤記です。また、図中にはDataに同期したBit Clockが記載されていませんが、512fs(8fs x 64)のClockに同期してData(片チャンネル分)がMSBファーストの左詰めで出力されます。

(5)20Pコネクタ信号配列図.pdf

Blogページに掲載されている20Pコネクタの信号配列です。

(6)16Pコネクタ信号配列図.pdf

Blogページに掲載されている16Pコネクタの信号配列です。

(7)CPLD論理設計データ.pdf

FN1241の出力FCLK,SDATAをPCM1704の入力フォーマットに変換するCPLDのProgramデータとLogicチャートです。

(8)Readme.pdf

本説明文のpdfです。