

アプリケーションマニュアル

フルーエンシ型DAコンバータ

F N 1 2 4 1

1. システムクロック

システムクロック周波数は512fsと384fsが可能です。1ビットDACの最大再生帯域を得るには512fsが必要です。また、512fsを使用した方がより高域に量子化ノイズをシフトできます。

2. オーディオシリアルインターフェースフォーマット

後詰 MSB ファースト / 前詰 MSB ファースト / IIS フォーマットの3フォーマット対応に対応しています。入力データフォーマットセレクト端子により下表のように切替えます。

IFF2(25)	IFF1(26)	IFF0(27)	フォーマット
0	0	0	16bitMSB ファースト後詰め
0	0	1	20bitMSB ファースト後詰め
0	1	0	24bitMSB ファースト後詰め
0	1	1	—
1	0	0	16,20,24bitISS フォーマット
1	0	1	—
1	1	0	16,20,24bitMSB ファースト前詰め

3. ディエンファシス

IIR 型、ディジタル/ディエンファシスフィルタを内蔵しています。サンプリング周波数に応じて係数を下表のように切替えます。

EMP1(24)	EMP0(23)	サンプリング周波数
0	0	ディエンファシス無し
0	1	48KHz
1	0	44.1KHz
1	1	32KHz

4. システムリセット

パワーON 時、*RESN(30ピン)を Low としてシステム全体をリセットします。*RESN 入力にはシュミットトリガ内蔵バッファを使用しておりますので、図1のように外付けのCRを直接接続できます。

但し、このバッファの入力は5V-TTL インターフェースには対応しておりませんので、3.3V-CMOS インターフェースでご使用下さい。

5. アナログ出力

アナログ出力はPWM方式、差動出力です。この差動出力は図1に示すように、外付けの抵抗器を通してパルス出力を合成することにより作られます。ここで使用する外付け抵抗器には抵抗値の誤差が少なく雑音特性、温度特性に優れたものが求められますので、誤差1%以下の金属皮膜抵抗器をご使用下さい。抵抗値は推奨値20kΩですが、後段に使用する回路に応じて10kΩから30kΩ程度の間で変更可能です。

PWM 出力は図2に示すようにシステムクロックに同期しており、VDD/2 をゼロとしてマイナス側2値、プラス側2値の値をとり、デューティファクタはそれぞれ -6/8、-2/8、+2/8、+6/8 となります。周波数はシステムクロック周波数の1/4 となります。

但し PWM 出力はフルスケールに対して0.65倍のゲインを持つため、実際のアナログ出力電圧は表1に示すようになります。つまりFN1241が出力可能なアナログ電圧の最大値は、VDD/2を中心として約±0.8Vとなります。

図1 PWM 出力およびリセット回路

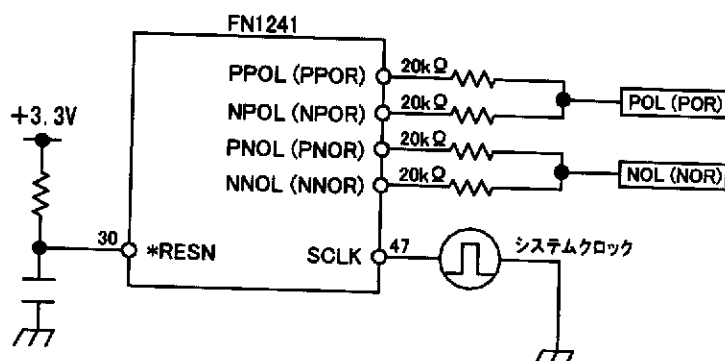


表1: PWM 出力のアナログ電圧換算値

デューティサイクル	アナログ換算値 (at VDD = 3.3V)	実際のアナログ電圧
+(6/8)	$+(VDD/2) * (6/8) = +1.2375V$	+0.804V
+(2/8)	$+(VDD/2) * (2/8) = +0.4125V$	+0.268V
-(2/8)	$-(VDD/2) * (2/8) = -0.4125V$	-0.268V
-(6/8)	$-(VDD/2) * (6/8) = -1.2375V$	-0.804V

図2 アナログ出力(PWM 出力)波形

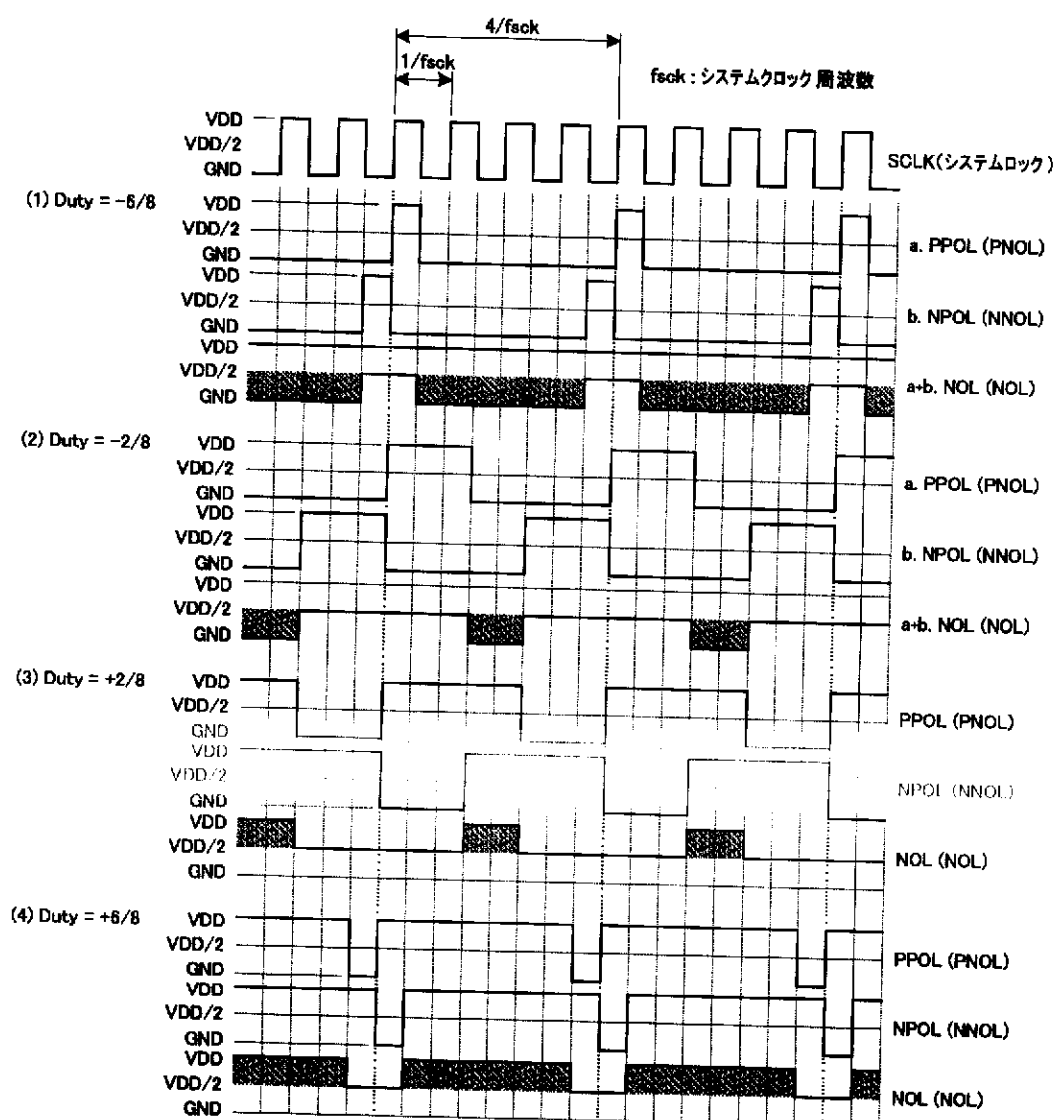


図3 外部差動アンプ回路例

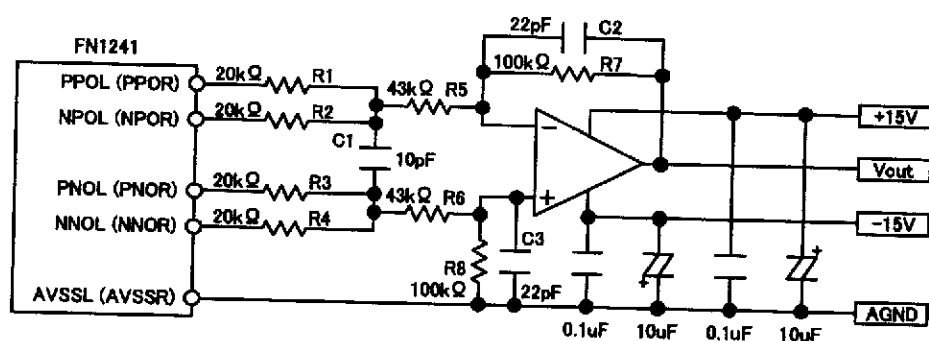
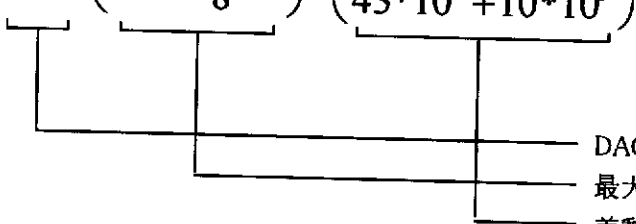


図3の回路例ではフルスケール時の V_{out} は次のようになります。

$$V_{out} = 0.65 * \left(2 * \frac{3 * V_{DD}}{8} \right) * \left(\frac{100 * 10^3}{43 * 10^3 + 10 * 10^3} \right)$$


DAC ゲイン
最大 PWM 出力電圧 (差動出力)
差動アンプゲイン

6. 電源回路

電源ピンは次の4系統に分かれており、電源電圧は全て 3.3V (TYP) です。これらを必要に応じて分離、デカップリングすることでお互いの回路の影響を防ぐことができます。

- (1) DVDD : デジタル回路用電源
DVSS : デジタル回路用 GND
- (2) AVDDL : L チャンネル・アナログ回路 (PWM 回路) 用電源
AVDDL : L チャンネル・アナログ回路用 GND
- (3) AVDDR : R チャンネル・アナログ回路 (PWM 回路) 用電源
AVDDR : R チャンネル・アナログ回路用 GND
- (4) AVDDCK : クロックジェネレータ回路用電源
AVSSCK : クロックジェネレータ回路用 GND

デカップリングはできる限り各電源ピンの近くで高周波特性の良いコンデンサを接続して下さい。AVDDL(R)には高周波特性の良い電解コンデンサ等を接続するとより効果的です。

図4 フルーフーエンシ処理出力 動作タイミング

